

(19)日本国特許庁 (J P) (12) 公 開 特 許 公 報 (A) (11)特許出願公開番号
特開2002-359370
(P2002-359370A)
(43)公開日 平成14年12月13日 (2002. 12. 13)

(51)Int.Cl.⁷ 識別記号 F I テーコート* (参考)
H 0 1 L 29/78 H 0 1 L 29/78 3 0 1 G 5 F 0 4 8
21/8234 27/08 3 2 1 D 5 F 1 4 0
21/8238 1 0 2 C
27/088
27/092
審査請求 未請求 請求項の数9 O L (全 15 頁)

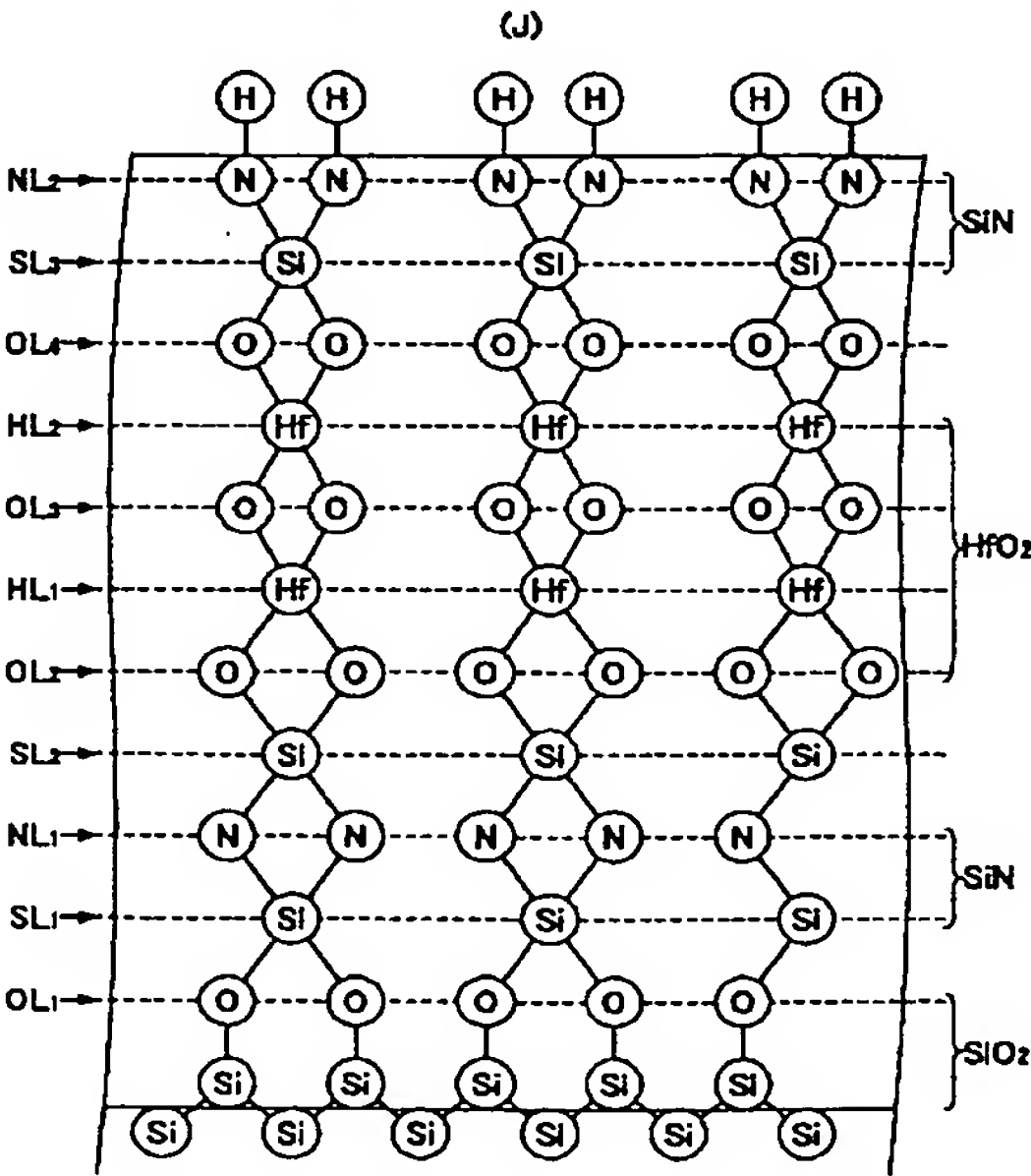
(21)出願番号	特願2002-77055(P2002-77055)	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成14年3月19日(2002. 3. 19)	(72)発明者	入野 清 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31)優先権主張番号	特願2001-97128(P2001-97128)	(72)発明者	森崎 祐輔 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(32)優先日	平成13年3月29日(2001. 3. 29)	(74)代理人	100070150 弁理士 伊東 忠彦
(33)優先権主張国	日本 (J P)		

最終頁に続く

(54)【発明の名称】 半導体装置、相補型半導体装置

(57)【要約】
【課題】 高誘電体ゲート絶縁膜を有する超高速半導体装置において、高誘電体ゲート絶縁膜を介したゲート電極からS i 基板への不純物元素の拡散や、高誘電体ゲート絶縁膜からS i 基板あるいはゲート電極への金属元素や酸素の拡散を抑制する。
【解決手段】 高誘電体ゲート絶縁膜を原子層の積層により形成する際、S i 基板表面を酸素原子層により一様に覆い、その上に高誘電体膜を、高誘電体膜の上下が窒素原子層により一様に覆われた状態で形成する。

(J)は、本発明の第1実施例による半導体装置の製造工程を示す図(その8)



【特許請求の範囲】

【請求項1】 Si結晶層よりなるチャネル領域と、前記チャネル領域上に形成され、前記Si結晶層上に形成されたSiO層と、前記SiO層上に形成された第1のSiN層と、前記第1のSiN層上に形成された、高誘電体金属酸化物層と、前記高誘電体金属酸化物層上に形成された第2のSiN層とを含むゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とよりなることを特徴とする半導体装置。

【請求項2】 前記SiO層は、前記Si基板表面を一様に覆う酸素原子層を含むことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1のSiN層は、前記SiO層表面を一様に覆う窒素原子層を含むことを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記高誘電体金属酸化物層の表面は、酸素原子よりなる酸素原子層により一様に覆われていることを特徴とする請求項1～3のうち、いずれか一項記載の半導体装置。

【請求項5】 前記第2のSiN層において、前記窒素原子層は、前記高誘電体金属酸化物層を一様に覆う窒素原子層を含むことを特徴とする請求項1～4のうち、いずれか一項記載の半導体装置。

【請求項6】 前記第2のSiN層において、前記窒素原子層中の窒素原子は、主として前記高誘電体金属酸化物層表面を覆う酸素原子層中の酸素原子と結合していることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記高誘電体金属酸化物層は、1原子層分の酸素原子よりなる酸素原子層と1原子層分の金属原子よりなる金属原子層とを交互に繰り返す構造を有することを特徴とする請求項1～6のうち、いずれか一項記載の半導体装置。

【請求項8】 Si基板と、前記Si基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とよりなる半導体装置であって、前記ゲート絶縁膜は、各々Si基板表面のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合したSi原子よりなるSi原子層と、各々前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層と、各々前記窒素原子層中の窒素原子に結合したSi原子とよりなる第1の絶縁膜と、各々前記Si原子層中のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合した金属原子よりなる金属原子層と、各々前記金属原子層中の金属原子に結合した酸素原子よりなる酸素原子層とを含み、最上部に金属原子層中の金属原子に結合した酸素原子よりなる最上部酸素原子層を有する第2の絶縁膜と、

各々前記最上部酸素原子層中の酸素原子に結合したSi原子よりなり前記最上部酸素原子層を覆うSi原子層と、各々前記最上部酸素原子層を覆う前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層とよりなる第3の絶縁膜とより構成されることを特徴とする半導体装置。

【請求項9】 第1の導電型の第1の素子領域と第2の導電型の第2の素子領域とを素子分離領域により画成された基板と、

10 前記基板上の前記第1の領域に形成された第1のゲート絶縁膜と、

前記基板上の前記第2の領域に形成された第2のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成された第1のゲート電極と、

前記第2のゲート絶縁膜上に形成された第2のゲート電極とを備えた相補型半導体装置であって、

前記第1および第2のゲート絶縁膜は、各々Si基板表面のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合したSi原子よりなるSi原子層と、各々前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層と、各々前記窒素原子層中の窒素原子に結合したSi原子とよりなる第1の絶縁膜と、

各々前記Si原子層中のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合した金属原子よりなる金属原子層と、各々前記金属原子層中の金属原子に結合した酸素原子よりなる酸素原子層とを含み、最上部に金属原子層中の金属原子に結合した酸素原子よりなる最上部酸素原子層を有する第2の絶縁膜と、

各々前記最上部酸素原子層中の酸素原子に結合したSi原子よりなり前記最上部酸素原子層を覆うSi原子層と、各々前記最上部酸素原子層を覆う前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層とよりなる第3の絶縁膜とより構成されることを特徴とする相補型半導体装置。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】本発明は一般に半導体装置に係り、特に金属酸化物あるいは金属シリケートよりなる高誘電体絶縁膜を有する半導体装置およびその製造方法に関する。

【0002】

50 【従来の技術】超高速動作が要求されるCMOSLSIなどの半導体集積回路装置では、半導体集積回路装置を構成する電界効果型トランジスタ(MOSFET)が非常に短いゲート長を有することが要求されており、このためMOSFETの微細化に対して多大の努力がなされている。

【0003】このように微細化されたMOSFETでは、スケーリング則による要請からゲート絶縁膜の膜厚に対しても制限が加えられ、例えばゲート絶縁膜の膜厚を酸化膜厚換算で2.5nm程度以下に減少させることが求められている。

【0004】従来より、ゲート絶縁膜として、一般にリーク電流特性が良好で界面準位密度の低いシリコン酸化膜が使用されている。しかしシリコン酸化膜よりなる従来のゲート絶縁膜では、ゲート絶縁膜の物理膜厚の減少に伴い直接トンネル電流が増加してしまい、このためゲート絶縁膜の膜厚が上記の値よりもさらに減少すると、トンネル電流によるゲートリーク電流が大きな問題になる。ゲートリーク電流が増大すると、例えばゲートオフ時において実質的なリーク電流が生じ、半導体装置の回路が正常に動作しない、あるいは消費電力が増加する等の問題が生じてしまう。

【0005】そこで上記の問題を解消するため、ゲート絶縁膜の材料として高い誘電率を有する金属酸化物や金属シリケートなどの高誘電体膜を使用することが検討されている。

【0006】

【発明が解決しようとする課題】しかしながら、このような金属酸化物や金属シリケートを用いた高誘電体ゲート絶縁膜では、ゲート電極にドーブしたボロンが高誘電体ゲート絶縁膜へと抜けていく現象や、半導体装置の製造時にゲート電極上に層間絶縁膜等を形成する工程などで使われる原料ガス中の水素が高誘電体ゲート絶縁膜をアタックする現象等により、MOSFETの動作特性が不安定になる問題が生じる。またシリコン基板表面への高誘電体ゲート絶縁膜を含むゲート構造の形成の際に、シリコン基板と高誘電体ゲート絶縁膜との間の界面、あるいは高誘電体ゲート絶縁膜とポリシリコンゲート電極との間の界面において、シリサイド形成などの反応が生じるおそれがある。

【0007】従来、高誘電体ゲート絶縁膜は直接トンネル電流の抑制について主として検討されてきたものであり、素子構造中における特性の安定性についての調査は十分に行われたとは言えない。

【0008】例えば特開2001-267566号公報は、Si基板表面にいわゆる単原子層堆積(atomic layer CVD)法により形成された単分子層のSiN層と、かかる単分子SiN層上に同じく単原子層堆積法により酸素原子層とZr原子層の繰り返しとして形成されたZrO₂層などの高誘電体層と、さらに前記高誘電体層上に再び単原子層堆積法により形成された単分子層SiN層とよりなるゲート絶縁層が開示されている。また前記従来技術には、Si基板表面に単原子層堆積法により形成された単分子層のSiO₂層と、前記単分子層SiO₂層上に同様な単原子層堆積法により酸素原子層とZrなどの金属原子層の繰り返しとして形成された高誘電体膜

と、さらに前記高誘電体膜上に再び単原子層堆積法により形成された単分子層SiN層とよりなるゲート絶縁膜が開示されている。

【0009】このような高誘電体膜を有するゲート絶縁膜は酸化膜換算膜厚が小さく、ゲート長が例えば0.1μm以下の超高速半導体装置に使った場合でも、直接トンネル効果によるゲートリークを抑制することができ

る。

【0010】しかし、高誘電体膜の上下をSiN単分子層で挟持した構成では、Siと窒素の原子価の差が原因でSi基板表面を窒素原子により一様にかつ完全に覆うことができず、必ずダングリングボンドが生じてしまう。このようにゲート絶縁膜の特にチャネル領域となるSi基板表面との界面にダングリングボンドが生じると、キャリアのトラップなどにより、半導体装置の閾値特性が変化してしまう。

【0011】一方、上記従来技術に開示された高誘電体膜の上下をSiO₂単分子層で挟持した構成では、Si基板とゲート絶縁膜との界面におけるダングリングボンドは生じないが、ゲート絶縁膜中に窒素原子層が形成されていないため、ポリシリコンゲート電極中のBドーパントがゲート絶縁膜を通過してSi基板中に拡散し、半導体装置の閾値特性を変化させてしまう問題が生じる。またこのような構成では、ゲート絶縁膜中に窒素原子層が含まれていないことに起因して、高誘電体膜中の酸素が容易にSi基板中に拡散し、チャネル領域のキャリアモビリティが低下してしまう問題が生じる。さらにこのような構成では、Zrなどの金属元素がゲート絶縁膜を通過してSi基板に到達し、シリサイド形成などの反応を生じる恐れがある。

【0012】このように、従来の高誘電体ゲート絶縁膜構造では、Si基板との界面におけるダングリングボンド形成の問題、あるいは高誘電体ゲート絶縁膜を通過する不純物元素、酸素あるいは金属元素の拡散の問題が解決されておらず、半導体装置を構成しても、所期の効果を奏することができない。

【0013】そこで本発明は上記の課題を解決する新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

【0014】本発明のより具体的な課題は、高誘電体ゲート絶縁膜を有する半導体装置であって、ゲート電極等にドーブしたボロンの抜けを抑制でき、製造時に用いる原料ガス中の水素などの還元雰囲気の影響による特性バラツキを抑制でき、また高誘電体ゲート絶縁膜とシリコン基板あるいはゲート電極との間の反応を抑制できる半導体装置およびその製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明は上記の課題を、Si結晶層よりなるチャネル領域と、前記チャネル領域上に形成され、前記Si結晶層上に形成されたSiO₂

層と、前記SiO₂層上に形成された第1のSiN層と、前記第1のSiN層上に形成された、高誘電体金属酸化物層と、前記高誘電体金属酸化物層上に形成された第2のSiN層とを含むゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とよりなることを特徴とする半導体装置により、解決する。

【0016】本発明において、前記SiO₂層は、前記Si基板表面を一様に覆う酸素原子層を含むのが好ましい。また前記酸素原子層は、1原子層分の酸素原子層であるのが好ましい。さらに前記第1のSiN層は、前記SiO₂層表面を一様に覆う窒素原子層を含むのが好ましい。また前記第1のSiN層中の前記窒素原子層は、1原子層分の窒素原子層であるのが好ましい。さらに前記SiO₂層を構成する前記酸素原子層中の酸素原子の90%以上が、前記Si結晶層表面のSi原子に結合しているのが好ましい。さらに前記第1のSiN層において、前記窒素原子層中の窒素原子の90%以上が、前記SiO₂層中のSi原子に結合しているのが好ましい。また前記SiO₂層は約1分子層分の厚さを有し、前記SiN層および前記別のSiN層は約1分子層の厚さを有するのが好ましい。また前記高誘電体金属酸化物層の表面は、酸素原子よりなる酸素原子層により一様に覆われているのが好ましい。前記第2のSiN層において、前記窒素原子層は、前記高誘電体金属酸化物層を一様に覆う窒素原子層を含むのが好ましい。前記第2のSiN層において、前記窒素原子層は1原子層分の窒素原子層であるのが好ましい。前記第2のSiN層において、前記窒素原子層中の窒素原子は、主として前記高誘電体金属酸化物層表面を覆う酸素原子層中の酸素原子と結合しているのが好ましい。前記高誘電体金属酸化物層は、1原子層分の酸素原子よりなる酸素原子層と1原子層分の金属原子よりなる金属原子層とを交互に繰り返す構造を有するのが好ましい。前記高誘電体金属酸化物層は、Zr, Hf, Sr, Ba, Ta, Ti, Y, Laおよびランタノイド族金属元素のうちの少なくとも一つから選ばれる金属元素の酸化物あるいはシリケートであるのが好ましい。また前記ゲート電極はポリシリコンよりなるのが好ましい。

【0017】本発明はまた上記の課題を、Si基板と、前記Si基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とよりなる半導体装置であって、前記ゲート絶縁膜は、各々Si基板表面のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合したSi原子よりなるSi原子層と、各々前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層と、各々前記窒素原子層中の窒素原子に結合したSi原子とよりなる第1の絶縁膜と、各々前記Si原子層中のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合した金属原子よりなる金属原子層

と、各々前記金属原子層中の金属原子に結合した酸素原子よりなる酸素原子層とを含み、最上部に金属原子層中の金属原子に結合した酸素原子よりなる最上部酸素原子層を有する第2の絶縁膜と、各々前記最上部酸素原子層中の酸素原子に結合したSi原子よりなり前記最上部酸素原子層を覆うSi原子層と、各々前記最上部酸素原子層を覆う前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層とよりなる第3の絶縁膜とより構成されることを特徴とする半導体装置により、解決する。

【0018】本発明はまた上記の課題を、第1の導電型の第1の素子領域と第2の導電型の第2の素子領域とを素子分離領域により画成された基板と、前記基板上の前記第1の領域に形成された第1のゲート絶縁膜と、前記基板上の前記第2の領域に形成された第2のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とを備えた相補型半導体装置であって、前記第1および第2のゲート絶縁膜は、各々Si基板表面のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合したSi原子よりなるSi原子層と、各々前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層と、各々前記窒素原子層中の窒素原子に結合したSi原子とよりなる第1の絶縁膜と、各々前記Si原子層中のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合した金属原子よりなる金属原子層と、各々前記金属原子層中の金属原子に結合した酸素原子よりなる酸素原子層とを含み、最上部に金属原子層中の金属原子に結合した酸素原子よりなる最上部酸素原子層を有する第2の絶縁膜と、各々前記最上部酸素原子層中の酸素原子に結合したSi原子よりなり前記最上部酸素原子層を覆うSi原子層と、各々前記最上部酸素原子層を覆う前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層とよりなる第3の絶縁膜とより構成されることを特徴とする相補型半導体装置により、解決する。

【0019】本発明において前記工程(E)は、前記Si基板表面に前記酸素を含むガスを供給する工程で開始され、前記Si基板表面に前記酸素を含むガスを供給する工程で終了されるのが好ましい。

【0020】本発明によれば、Si基板表面を直接に酸素原子層により覆っているため、Si基板表面を窒素原子層で覆った場合のようなダングリングボンドの形成が生じることはなく、半導体装置の電気特性が安定する。また本発明によれば、高誘電体ゲート絶縁膜中に酸素原子層の他に窒素原子層が含まれるため、このような窒素原子層は、高誘電体ゲート絶縁膜を通過するBなどの不純物元素の拡散、また酸素の拡散、さらにZrなどの金属元素の拡散を効果的に抑制し、その結果、Si基板と

ゲート絶縁膜、およびゲート絶縁膜とゲート電極との界面における反応が抑制され、酸化膜換算膜厚の小さい高誘電体ゲート絶縁膜を有する超高速半導体装置を、安定に、再現性良く製造することが可能になる。

【0021】また本発明の半導体装置では、Si基板表面と窒素原子層との間に酸素原子層とSi原子層とが介在するため窒素原子層がSi基板表面から離間し、その結果、窒素原子の固定電荷に起因する半導体装置の動作特性の変化が効果的に抑制される。

【0022】

【発明の実施の形態】〔第1実施例〕図1(A)～図8(J)は、Si基板1上への本発明の第1実施例による高誘電体ゲート絶縁膜の形成工程を示す。

【0023】以下の説明では、高誘電体ゲート絶縁膜は原子層堆積法により形成されるが、かかる高誘電体ゲート絶縁膜は、例えばMBE法などによって形成することも可能である。

【0024】図1(A)を参照するに、Si基板1表面の自然酸化膜を除去し、基板表面のSi原子を露出した後、図1(B)の工程において、典型的には300℃の基板温度でH₂O(水蒸気)を供給し、前記Si基板1表面にH₂O分子を吸着させる。その結果前記Si基板1の表面は1原子層分の酸素原子層OL₁により一様に覆われる。その際、前記酸素原子層OL₁中の各々の酸素原子はSi基板表面のSi原子に結合し、また前記酸素原子の反対側の結合手には水素原子が結合している。その結果、前記Si基板1の表面には1分子層分の厚さのSiO₂層2が形成され、前記SiO₂分子層2の表面はOH基により覆われる。前記酸素原子層OL₁は厳密に1原子層である必要はないが、90%以上の酸素原子がSi基板表面の対応するSi原子と結合しており、実質的に1原子層とみなすことができる。

【0025】次に図2(C)の工程において前記図1(B)の構造の表面にSiCl₄ガスを400℃の基板温度で供給し、SiCl₄分子層を吸着させる。その際、前記酸素原子層OL₁表面のOH基中の水素原子はSiCl₄分子と反応し、HClの形で除去され、その結果、前記Si基板の表面は1原子層分のSi原子層SL₁により一様に覆われる。このようにして形成されたSi原子層SL₁中のSi原子の二つの結合手は前記酸素原子層OL₁中の二つの酸素原子にそれぞれ結合し、残りの二つの結合手にはCl原子がそれぞれ結合している。前記Si原子層SL₁も厳密に1原子層である必要はないが、90%以上のSi原子が酸素原子層OL₁中の対応する酸素原子と結合しており、実質的に1原子層とみなすことができる。

【0026】次に図2(D)の工程において前記図2(C)の構造の表面にNH₃ガスを400℃の基板温度で供給し、前記Si原子層中のSi原子の各々に、前記Cl原子を置換することにより1原子層分の窒素原子を

結合させ、1原子層分の窒素原子層NL₁を形成する。その際、前記Si原子層SL₁中のSi原子に結合していたCl原子はHClの形で除去される。このようにして形成された窒素原子においては、Si原子に結合していない二つの結合手に水素原子がそれぞれ結合している。図2(D)の工程により、前記1分子層分の厚さのSiO₂分子層2上に、1分子層分の厚さのSiN層3が形成される。前記窒素原子層NL₁は厳密に1原子層である必要はないが、90%以上の窒素原子が前記Si原子層SL₁中の対応するSi原子と結合しており、実質的に1原子層とみなすことができる。

【0027】次に図3(E)の工程において前記図2(D)の構造の表面にSiCl₄ガスを400℃の基板温度で供給し、SiCl₄分子を一様に吸着させる。その際、前記窒素原子層NL₁中の窒素原子に結合していた水素原子は、HClの形で除去され、その結果、前記窒素原子層NL₁の表面は1原子層分のSi原子層SL₂により一様に覆われる。このようにして形成されたSi原子層SL₂中のSi原子の結合手のうち二つは前記窒素原子層中の二つの窒素原子にそれぞれ結合する。前記SiN分子層中のSi原子の残り二つの結合手にはCl原子がそれぞれ結合している。前記Si原子層SL₂も厳密に1原子層である必要はないが、90%以上のSi原子がその下の窒素原子層NL₁中の対応する窒素原子に結合しており、実質的に1原子層とみなすことができる。

【0028】次に図4(F)の工程において、図3(E)の構造の表面に水蒸気(H₂O)が400℃の基板温度で供給され、その結果、前記Si原子層SL₂中のSi原子に結合していたCl原子がHClの形で除去され、各々前記Si原子層SL₂中のSi原子に結合した酸素原子よりなる酸素原子層OL₂が形成される。前記酸素原子層OL₂中の酸素原子は前記Si原子層SL₂中のSi原子と共に一つのSiO₂単分子層を形成すると見ることもできるが、また以下に説明する高誘電体膜の一部を構成すると見ることもできる。前記酸素原子層OL₂中の酸素原子の各々には水素原子が結合してOH基が形成されている。前記酸素原子層OL₂も厳密に1原子層である必要はないが、90%以上の酸素原子がSi原子層SL₂中のSi原子に結合しており、実質的に1原子層とみなすことができる。

【0029】図5(G)の工程において図4(F)の構造の表面にHfCl₄ガスが供給され、前記酸素原子層OL₂上にHfCl₄分子が一様に吸着される。その際、前記酸素単原子層OL₂表面でOH基を形成する水素原子はHfCl₄分子と反応し、HClの形で除去され、その結果、前記酸素原子層OL₂は1原子層分のHf原子層HL₁により一様に覆われる。このようにして形成されたHf原子層HL₁中のHf原子の二つの結合手は前記酸素原子層OL₂中の二つの酸素原子にそれぞれ結合

し、残りの二つの結合手にはC1原子がそれぞれ結合している。前記Hf原子層HL₁も厳密に1原子層である必要はないが、Hf原子層HL₁中のHf原子の90%以上は酸素原子層OL₁中の対応する酸素原子に結合しており、実質的に1原子層とみなすことができる。

【0030】次に図6(H)の工程において図5(G)の構造の表面に水蒸気(H₂O)が400℃の基板温度で供給され、その結果、前記Hf原子層HL₁中のHf原子に結合していたC1原子がHClの形で除去され、各々前記Hf原子層SL₁中のHf原子に結合した酸素原子よりなる酸素原子層OL₁が形成される。前記酸素原子層OL₁中の酸素原子は前記Hf原子層HL₁中のHf原子と共に一つのHfO₂単分子層を形成する。また前記酸素原子層OL₁中の酸素原子の各々には水素原子が結合してOH基が形成されている。前記酸素原子層OL₁においても90%以上の酸素原子がHf原子層HL₁中の対応するHf原子と結合しており、実質的に1原子層とみなすことができる。

【0031】さらに図7(I)の工程で図5(G)と図6(H)の工程を任意の回数繰り返すことにより、前記HfO₂単分子層上に、酸素原子層OL₁およびHf原子層HL₁よりなるHfO₂層4が形成され、さらに前記Hf原子層HL₁上に酸素原子層OL₁が形成される。前記酸素原子層OL₁およびHf原子層HL₁も、厳密に1原子層である必要はないが、実質的に1原子層とみなすことができる。

【0032】さらに図8(J)の工程において、図7(I)の構造上にSiCl₄ガスおよびNH₃ガスを順次供給し、前記酸素原子層OL₁上にSi原子層SL₁と窒素原子層NL₁とよりなるSiN単分子層5を形成する。前記Si原子層SL₁と窒素原子層NL₁も、厳密に1原子層である必要はないが、先の原子層OL₁~OL₄と同様に、実質的に1原子層とみなすことができる。

【0033】図1(A)~図8(J)の工程は、前記原子層OL₁から原子層NL₁までの厚さが1~数ナノメートル程度になるように形成され、このようにして形成されて高誘電体ゲート絶縁膜上にはポリシリコンなどのゲート電極が形成される。

【0034】図1(A)~図8(J)の工程では、特に図1(A)の工程でSi基板表面が直接に酸素原子層OL₁により一様に覆われるため、界面にダングリングボンドや界面準位が形成されることがなく、非常に高品質のSiO₂単分子層2が形成される。これに伴い、半導体装置が動作する場合にチャネル領域をキャリアが高速で輸送される場合でも、キャリアがダングリングボンドや界面準位に捕獲されることがなく、半導体装置の閾値特性が劣化したり、リーク特性が劣化する問題を回避することができる。

【0035】さらに図2(D)の工程において前記SiO₂単分子層2上にSiN単分子層3が形成されるた

め、図5(G)~図7(I)の工程においてHfO₂層をかかるSiN層3上に形成した場合、前記HfO₂層中のHfおよび酸素がSi基板中に拡散するのが効果的に抑制される。さらにかかる構成では、SiN単分子層中のN原子層がSi基板表面から前記酸素原子層OL₁およびSi原子層SL₁の分だけ離間して形成されるため、N原子が有する固定電荷による半導体装置の閾値特性の変動が回避される。また、同様に、本実施例では前記HfO₂層上に前記窒素原子層NL₁を含むSiN分子層が形成されているため、前記HfO₂層からポリシリコンゲート電極へのHfおよび酸素の拡散が効果的に抑制される。また、前記ポリシリコンゲート電極から前記Si基板へのBなどのドーパント拡散も効果的に抑制される。

【0036】図8(J)の構成の高誘電体ゲート絶縁膜では、前記HfO₂層の積層よりなる高誘電体膜の最下面および最上面に酸素原子層OL₁およびOL₄が形成されているのは重要である。これにより、Hf原子は四つの酸素原子により配位されることになるが、その結果、Hf原子は安定して4価の状態を維持することができ、還元などによる酸素欠損の発生を抑制することが可能になる。

【0037】本実施例において、前記酸素原子層OL₁およびSi原子層SL₁は任意の回数繰り返すことが可能である。同様に前記窒素原子層NL₁とSi原子層SL₁も任意の回数繰り返すことが可能である。しかし、誘電率の低いSiO₂層の厚さがHfO₂層の下で増大すると、高い誘電率のHfO₂を使った効果が減少するので、SiO₂層の膜厚の増大にはおのずから限界がある。

【0038】なお前記高誘電体膜としてはHfO₂以外にZrO₂を使うことも可能であるが、ZrO₂は半導体プロセスで使われる温度においてマルテンサイト型の相転移を生じる恐れがあるため、相転移温度の高いHfO₂を使う方がより好ましい。

【0039】また、前記高誘電体膜としては、Sr、Ba、Ta、Ti、Y、Laおよびランタノイド族金属元素の酸化物あるいはシリケートを使うことが可能である。

【0040】図9は、このようにして形成された高誘電体ゲート絶縁膜上にポリシリコン層6を電極として形成した構成を示す。

【0041】図10および図11は、図9の試料について行った、リーク電流特性の測定結果を示す。ただし図10の結果は、図8(J)における窒素原子層NL₁およびNL₂を省略した場合を示す。これに対し、図11の場合には、前記窒素原子層NL₁およびNL₂を、それぞれ図2Dおよび図8(J)の工程で、NH₃ガスによる熱処理を650℃で行うことにより形成しており、前記酸素原子層および窒素原子層は合計で約1nmの膜厚

になるように形成されている。いずれの場合でも、前記 HfO_2 層は全体で3nmの膜厚を有し、層形成後に700℃で30秒間の急速熱処理を行い、さらにポリシリコン電極を590℃で形成した後、ドーパントの活性化熱処理に対応して1000℃で5秒間の熱処理を行っている。図中、異なった曲線は異なった試料の結果を表している。

【0042】図10を参照するに、この場合にはリーク電流密度 J_g は+1Vの印加電圧で0.43~5.5 A cm^{-2} であるのに対し、図11の場合にはリーク電流密度 J_g は+1Vの印加電圧において0.84~7.88 $\times 10^{-3} \text{A cm}^{-2}$ と著しく減少していることがわかる。また図11の場合、酸化層換算層厚は1.77から1.84nmであった。

【0043】このように、本発明によれば、Si基板表面を酸素原子層で覆い、さらに高誘電率層の上下を窒素原子層により覆うことにより、高誘電体ゲート絶縁層のリーク電流特性を大きく向上することが可能である。

【第2実施例】図12(A)~図15(G)は、本発明の第2実施例による半導体装置10の製造工程を示す。

【0044】図12(A)を参照するに、p型の(100)面方位を有するSi基板11上には熱酸化処理により熱酸化層11aが形成され、さらにCVD法によりSiN膜11bが前記熱酸化膜11a上に形成される。

【0045】さらに図12(A)の工程では前記SiN膜11bをドライエッチング法によりパターンニングして素子分離領域に対応して開口部を形成し、前記SiN膜11bをマスクに前記熱酸化膜11aをドライエッチング法によりパターンニングしてSi基板11を露出する開口部を形成する。さらに前記露出されたSi基板11を、前記SiN膜11bをマスクとしたウェットエッチングによりエッチングし、前記開口部に対応して傾斜側壁面で画成された素子分離溝11A、11Bを形成する。

【0046】次に図12(B)の工程で図12(A)の構造を熱酸化処理し、前記素子分離溝11A、11Bの側壁面および底面に図示を省略したライナー酸化膜を形成した後、前記素子分離溝11A、11BをCVD-SiO₂膜で充填し、さらにCMP法により前記CVD-SiO₂膜およびその下のSiN膜11b、またその下の熱酸化膜11aをCMP法により研磨・除去し、前記素子分離溝11A、11Bを充填するSiO₂素子分離領域11Cおよび11Dを形成する。

【0047】さらに図12(B)の工程では、露出されたSi基板11の表面を犠牲酸化し、さらに形成された犠牲酸化膜をHF処理により除去することにより、新鮮なSi基板表面を露出する。

【0048】次に図13(C)の工程において、前記Si基板11表面に先に図1(A)~図8(J)で説明した処理を行い、図8(J)に示す層構造のゲート絶縁膜

12を形成する。

【0049】次に図13(D)の工程において前記ゲート絶縁膜12上にポリシリコン層13を堆積し、図9と同様な構成を形成する。

【0050】次に図14(E)の工程で前記ポリシリコン膜13およびゲート絶縁膜12をパターンニングし、ポリシリコンゲート電極13A、13B、13Cを形成する。

【0051】図14(E)の工程ではさらに前記ポリシリコンゲート電極13A~13Cをマスクにn型不純物のイオン注入を行い、前記Si基板11中、前記ゲート電極13Aの両側にLDD拡散領域14Aを、また前記ゲート電極13Bの両側にLDD拡散領域14Bを、さらに前記ゲート電極13Cの両側にLDD拡散領域14Cを形成する。

【0052】図14(E)の工程では、さらに前記ゲート電極13A、13Bおよび13Cの側壁に側壁絶縁膜を形成し、前記ゲート電極13A~13Cおよび側壁絶縁膜をマスクにイオン注入を行い、前記LDD拡散領域14A、14B、14Cのそれぞれ外側に、拡散領域15A、15B、15Cを形成する。

【0053】さらに図14(F)の工程では前記ゲート電極13A~13Cおよび拡散領域15A~15Cの表面にサリサイド工程によりCoSi₂などの低抵抗シリサイド層13a~13cおよび15a~15cを、それぞれ形成する。

【0054】最後に図15(G)の工程において図15(F)の構造上に、前記ゲート電極13A~13Cを覆うようにSiN膜16がCVD法により形成され、さらに前記SiN膜16上に層間絶縁膜17が形成される。

【0055】図15(G)の工程では、前記層間絶縁膜17がさらにCMP法により平坦化され、前記拡散領域15A~15Cを露出するコンタクトホールを形成した後、前記コンタクトホールに、前記拡散領域15A~15Cとそれぞれコンタクトするように、コンタクトプラグ18A~18Cを形成する。

【0056】本発明の半導体装置は、図13(C)の工程においてゲート絶縁膜12として高誘電体ゲート絶縁膜を形成しているため、ゲート長が0.1μm以下に短縮され、従って非常に薄いゲート絶縁膜が要求される場合でも、1~数ナノメートルの物理膜厚に形成することができ、直接トンネル効果によるゲートリーク電流を抑制することができる。

【0057】また、本発明の半導体装置では、前記ゲート絶縁膜12として、チャネル領域を構成するSi基板11に直接接する部分に酸素原子層を形成しているため、基板とゲート絶縁膜の界面にダングリングボンドや界面準位が形成されることがなく、安定した閾値特性が得られる。

【0058】また本発明の半導体装置では、高誘電体膜

の上下を窒素原子層で挟持しているため、高誘電体膜中の金属元素や酸素がSi基板11あるいはポリシリコンゲート電極13A~13Cに拡散することがなく、良好な閾値特性が保証される。またポリシリコンゲート電極からSi基板への、ゲート絶縁膜12を通ったドーパント不純物元素の拡散も抑制され、閾値特性の変動が抑制される。

【0059】さらに本実施例では前記窒素原子層がSi基板表面か前記酸素原子層およびSi原子層により隔てられた位置に形成されるため、窒素原子の固定電荷による閾値特性の変動を抑制することができる。

【0060】さらに本実施例では、前記高誘電体層の上下面が酸素原子層で終端されているため、高誘電体層中のZrやHfなどの金属元素の原子価が安定し、比誘電率の低下などの問題を回避することができる。

【第3実施例】図16は、本発明の第3実施例によるCMOS半導体装置20の構成を示す。

【0061】図16を参照するに、CMOS半導体装置20は素子分離領域22A、22Bにより、pチャネルMOS領域20AとnチャネルMOS領域20Bとに分割されたp型Si基板21上に形成されており、前記pチャネルMOS領域20Aにはn型ウェル20Wが形成されている。

【0062】前記素子領域20A上にはチャネル領域に対応して、先の図8(J)と同様な層構造の高誘電体ゲート絶縁膜23Aが形成されており、前記ゲート絶縁膜23A上にはBでドーパされたポリシリコンゲート電極24Aが形成されている。さらに前記ポリシリコンゲート電極24A上にはサリサイド工程により形成されたシリサイド層25Aが形成されている。さらに前記ポリシリコンゲート電極25Aの両側には側壁絶縁膜が形成されている。

【0063】前記素子領域20Aでは前記ウェル20W中に、前記ゲート電極24Aの両側壁面に対応して、Bのイオン注入によりp型のLDD領域26Lpが形成され、さらに側壁絶縁膜の外側にp+型拡散領域26pが形成されている。また前記p+型拡散領域の表面にはシリサイド低抵抗層27pが形成されている。

【0064】同様に前記素子領域20Bではチャネル領域に対応して、先の図8(J)と同様な層構造の高誘電体ゲート絶縁膜23Bが形成されており、前記ゲート絶縁膜23B上にはAsあるいはPでドーパされたポリシリコンゲート電極24Bが形成されている。さらに前記ポリシリコンゲート電極24B上にはサリサイド工程により形成されたシリサイド層25Bが形成されている。さらに前記ポリシリコンゲート電極25Bの両側には側壁絶縁膜が形成されている。

【0065】前記素子領域20Bでは前記ゲート電極24Bの両側壁面に対応して、AsまたはPのイオン注入によりn型のLDD領域26Lnが形成され、さらに側

壁絶縁膜の外側にn+型拡散領域26nが形成されている。また前記n+型拡散領域26nの表面にはシリサイド低抵抗層27nが形成されている。

【0066】かかる構成のCMOS装置では、図8(J)に示す構造の高誘電体ゲート絶縁膜を使うことにより、pチャネルMOSトランジスタおよびnチャネルMOSトランジスタの各々を0.1μm以下の非常に短いゲート長に形成し、これに応じてゲート絶縁膜の酸化膜換算膜厚を減少させた場合でも、ゲート絶縁膜23A、23Bを1~数ナノメートルの物理膜厚に形成でき、トンネル電流によるゲートリーク電流の増大を回避することができる。

【0067】図8(J)の構造の高誘電体ゲート絶縁膜では、膜中に窒素原子層NL₁およびNL₂が形成されているため、ゲート絶縁膜23Aあるいは23Bを介した酸素やHfあるいはZrなどの金属元素の拡散は効果的に抑制される。またSiチャネル領域に接する部分に高品質のSiO₂分子層が形成されるため、Si基板とゲート絶縁膜との間の界面におけるダングリングボンドや界面準位の形成が回避され、安定した閾値特性が得られる。また窒素原子層NL₁がSi基板表面から離間して形成されるため、窒素原子の固定電荷による閾値特性の変動も回避される。

【0068】特に図16のCMOS半導体装置では、p型にドーパされたポリシリコンゲート電極24Aを使うpチャネルMOSトランジスタにおいて、前記窒素原子層NL₁およびNL₂の形成により、ポリシリコンゲート電極24AからのBのSi基板21への拡散が抑制され、閾値特性の変動をもたらすチャネル領域のドーピングが回避される。

【0069】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0070】(付記1) Si結晶層よりなるチャネル領域と、前記チャネル領域上に形成され、前記Si結晶層上に形成されたSiO₂層と、前記SiO₂層上に形成された第1のSiN層と、前記第1のSiN層上に形成された、高誘電体金属酸化物層と、前記高誘電体金属酸化物層上に形成された第2のSiN層とを含むゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とよりなることを特徴とする半導体装置。

【0071】(付記2) 前記SiO₂層は、前記Si基板表面を一様に覆う酸素原子層を含むことを特徴とする付記1記載の半導体装置。

【0072】(付記3) 前記酸素原子層は、1原子層分の酸素原子層であることを特徴とする付記2記載の半導体装置。

【0073】(付記4) 前記第1のSiN層は、前記SiO₂層表面を一様に覆う窒素原子層を含むことを特

徴とする付記1～3のうち、いずれか一項記載の半導体装置。

【0074】(付記5) 前記第1のSiN層において、前記窒素原子層は、1原子層分の窒素原子層であることを特徴とする付記2記載の半導体装置。

【0075】(付記6) 前記SiO₂層において、前記酸素原子層中の酸素原子の90%以上が、前記Si結晶層表面のSi原子に結合していることを特徴とする付記1～5のうち、いずれか一項記載の半導体装置。

【0076】(付記7) 前記第1のSiN層において、前記窒素原子層中の窒素原子の90%以上が、前記SiO₂層中のSi原子に結合していることを特徴とする付記1～6のうち、いずれか一項記載の半導体装置。

【0077】(付記8) 前記SiO₂層は約1分子層分の厚さを有し、前記SiN層および前記別のSiN層は約1分子層の厚さを有することを特徴とする付記1～7のうち、いずれか一項記載の半導体装置。

【0078】(付記9) 前記高誘電体金属酸化物層の表面は、酸素原子よりなる酸素原子層により一様に覆われていることを特徴とする付記1～8のうち、いずれか一項記載の半導体装置。

【0079】(付記10) 前記第2のSiN層において、前記窒素原子層は、前記高誘電体金属酸化物層を一様に覆う窒素原子層を含むことを特徴とする付記1～9のうち、いずれか一項記載の半導体装置。

【0080】(付記11) 前記第2のSiN層において、前記窒素原子層は1原子層分の窒素原子層であることを特徴とする付記10記載の半導体装置。

【0081】(付記12) 前記第2のSiN層において、前記窒素原子層中の窒素原子は、主として前記高誘電体金属酸化物層表面を覆う酸素原子層中の酸素原子と結合していることを特徴とする付記9記載の半導体装置。

【0082】(付記13) 前記高誘電体金属酸化物層は、1原子層分の酸素原子よりなる酸素原子層と1原子層分の金属原子よりなる金属原子層とを交互に繰り返す構造を有することを特徴とする付記1～12のうち、いずれか一項記載の半導体装置。

【0083】(付記14) 前記高誘電体金属酸化物層は、Zr, Hf, Sr, Ba, Ta, Ti, Y, Lrおよびランタノイド族金属元素のうちの少なくとも一つから選ばれる金属元素の酸化物あるいはシリケートであることを特徴とする付記1～13のうち、いずれか一項記載の半導体装置。

【0084】(付記15) 前記ゲート電極はポリシリコンよりなることを特徴とする付記1～14のうち、いずれか一項記載の半導体装置。

【0085】(付記16) Si基板と、前記Si基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とよりなる半導体装置であって、

前記ゲート絶縁膜は、各々Si基板表面のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合したSi原子よりなるSi原子層と、各々前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層と、各々前記窒素原子層中の窒素原子に結合したSi原子とよりなる第1の絶縁膜と、各々前記Si原子層中のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合した金属原子よりなる金属原子層と、各々前記金属原子層中の金属原子に結合した酸素原子よりなる酸素原子層とを含み、最上部に金属原子層中の金属原子に結合した酸素原子よりなる最上部酸素原子層を有する第2の絶縁膜と、各々前記最上部酸素原子層中の酸素原子に結合したSi原子よりなり前記最上部酸素原子層を覆うSi原子層と、各々前記最上部酸素原子層を覆う前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層とよりなる第3の絶縁膜とより構成されることを特徴とする半導体装置。

【0086】(付記17) 第1の導電型の第1の素子領域と第2の導電型の第2の素子領域とを素子分離領域により画成された基板と、前記基板上の前記第1の領域に形成された第1のゲート絶縁膜と、前記基板上の前記第2の領域に形成された第2のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とを備えた相補型半導体装置であって、前記第1および第2のゲート絶縁膜は、各々Si基板表面のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合したSi原子よりなるSi原子層と、各々前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層と、各々前記窒素原子層中の窒素原子に結合したSi原子とよりなる第1の絶縁膜と、各々前記Si原子層中のSi原子に結合した酸素原子よりなる酸素原子層と、各々前記酸素原子層中の酸素原子に結合した金属原子よりなる金属原子層と、各々前記金属原子層中の金属原子に結合した酸素原子よりなる酸素原子層とを含み、最上部に金属原子層中の金属原子に結合した酸素原子よりなる最上部酸素原子層を有する第2の絶縁膜と、各々前記最上部酸素原子層中の酸素原子に結合したSi原子よりなり前記最上部酸素原子層を覆うSi原子層と、各々前記最上部酸素原子層を覆う前記Si原子層中のSi原子に結合した窒素原子よりなる窒素原子層とよりなる第3の絶縁膜とより構成されることを特徴とする相補型半導体装置。

【0087】(付記18) 半導体装置の製造方法であって、(A) Si基板表面にSiの気相原料を供給し、1分子層分のSi原料分子を吸着させる工程と、(B) 前記工程(A)の後、前記Si原料分子を吸着したSi基板表面に酸素を含むガスを供給し、前記吸着されているSiの原料分子を酸化し、前記Si基板表面

にSiO₂分子層を形成する工程と、(C) 前記工程(B)の後、前記SiO₂分子層で覆われた前記Si基板表面にSiの気相原料を供給し、1分子層分のSi原料分子を吸着させる工程と、(D) 前記工程(C)の後、前記Si原料分子を吸着した前記Si基板表面に窒素を含むガスを供給し、前記吸着されているSiの原料分子を窒化し、前記Si基板表面にSiN分子層を形成する工程と、(E) 前記工程(D)の後、前記SiN分子層で覆われた前記Si基板表面に、酸素を含むガスと金属元素を含む原料ガスとを交互に供給し、高誘電体金属酸化膜を形成する工程と、(F) 前記工程(E)の後、前記高誘電体金属酸化膜で覆われた前記基板表面にSiの気相原料を供給し、1分子層分のSi原料分子を吸着させる工程と、(G) 前記工程(F)の後、前記Si原料分子層で覆われた前記基板表面に窒素を含むガスを供給し、前記吸着されているSiの原料分子を窒化し、前記Si基板表面にSiN分子層を形成する工程とよりなることを特徴とする半導体装置の製造方法。

【0088】(付記19) 前記工程(E)は、前記Si基板表面に前記酸素を含むガスを供給する工程で開始され、前記Si基板表面に前記酸素を含むガスを供給する工程で終了されることを特徴とする請求項18記載の半導体装置の製造方法。

【0089】

【発明の効果】本発明によれば、Si基板表面を直接に酸素原子層により覆っているため、Si基板表面を窒素原子層で覆った場合のようなダングリングボンドの形成が生じることはなく、半導体装置の電気特性が安定する。また本発明によれば、高誘電体ゲート絶縁膜中に酸素原子層の他に窒素原子層が含まれるため、このような窒素原子層は、高誘電体ゲート絶縁膜を通過するBなどの不純物元素の拡散、また酸素の拡散、さらにZrなどの金属元素の拡散を効果的に抑制し、その結果、Si基板とゲート絶縁膜、およびゲート絶縁膜とゲート電極との界面における反応が抑制され、酸化膜換算膜厚の小さい高誘電体ゲート絶縁膜を有する超高速半導体装置を、安定に、再現性良く製造することが可能になる。

【0090】また本発明の半導体装置では、Si基板表面と窒素原子層との間に酸素原子層とSi原子層とが介在するため窒素原子層がSi基板表面から離間し、その結果、窒素原子の固定電荷に起因する半導体装置の動作特性の変化が効果的に抑制される。

【図面の簡単な説明】

【図1】(A)、(B)は、本発明の第1実施例による半導体装置の製造工程を示す図(その1)である。

【図2】(C)、(D)は、本発明の第1実施例による半導体装置の製造工程を示す図(その2)である。

【図3】(E)は、本発明の第1実施例による半導体装置の製造工程を示す図(その3)である。

【図4】(F)は、本発明の第1実施例による半導体装

置の製造工程を示す図(その4)である。

【図5】(G)は、本発明の第1実施例による半導体装置の製造工程を示す図(その5)である。

【図6】(H)は、本発明の第1実施例による半導体装置の製造工程を示す図(その6)である。

【図7】(I)は、本発明の第1実施例による半導体装置の製造工程を示す図(その7)である。

【図8】(J)は、本発明の第1実施例による半導体装置の製造工程を示す図(その8)である。

10 【図9】図8(J)の構成をもとに、ゲートリーク電流の測定のために作製された試料の構成を示す図である。

【図10】図9の試料において、図8(J)の窒素原子層を形成しなかった場合のリーク電流特性を示す図である。

【図11】図9の試料において、図8(J)の窒素原子層を形成した場合のリーク電流特性を示す図である。

【図12】(A)、(B)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その1)である。

20 【図13】(C)、(D)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その2)である。

【図14】(E)、(F)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その3)である。

【図15】(G)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その4)である。

【図16】本発明の第3実施例によるCMOS半導体装置の構成を示す図である。

30 【符号の説明】

1, 11, 21 Si基板

2 SiO₂分子層

3 SiN分子層

4 HfO₂層

5, 13 ポリシリコン層

10 半導体装置

11A, 11B 溝

11C, 11D, 22 素子分離領域

12 高誘電体ゲート絶縁膜

40 13A, 13B, 13C, 24A, 24B ポリシリコンゲート電極

13a, 13b, 13c シリサイド領域

14A~14C, 26Lp, 26Ln LDD領域

15A~15C, 26p, 26n 拡散領域

15a, 15b, 15c, 25a, 25b, 27p, 27n シリサイド領域

20 CMOS半導体装置

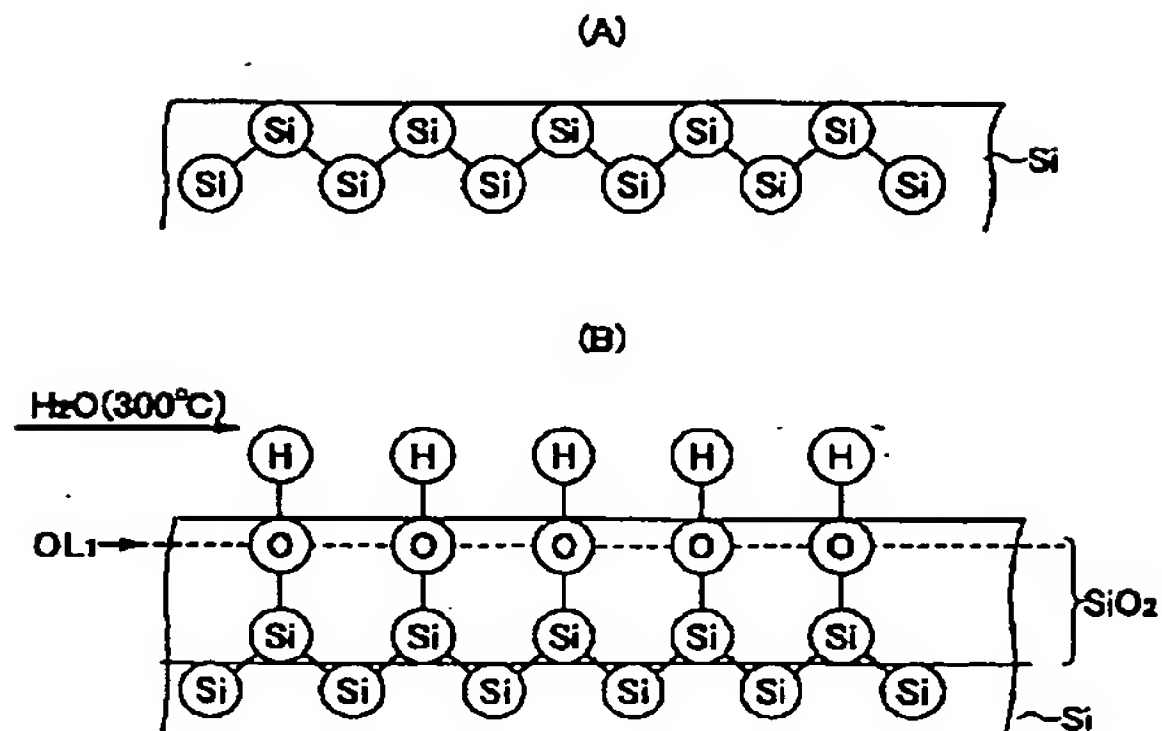
20A, 20B 素子領域

20W ウェル

50 23A, 23B 高誘電体ゲート電極

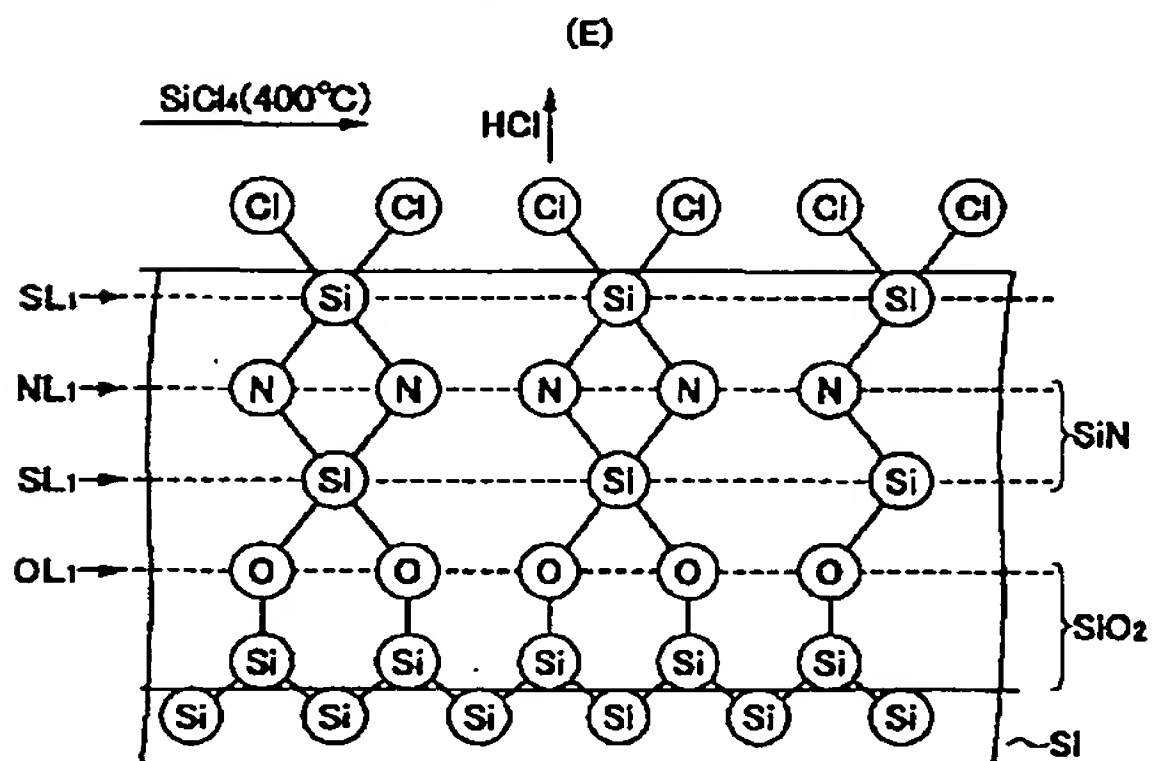
【図1】

(A), (B)は、本発明の第1実施例による半導体装置の製造工程を示す図(その1)



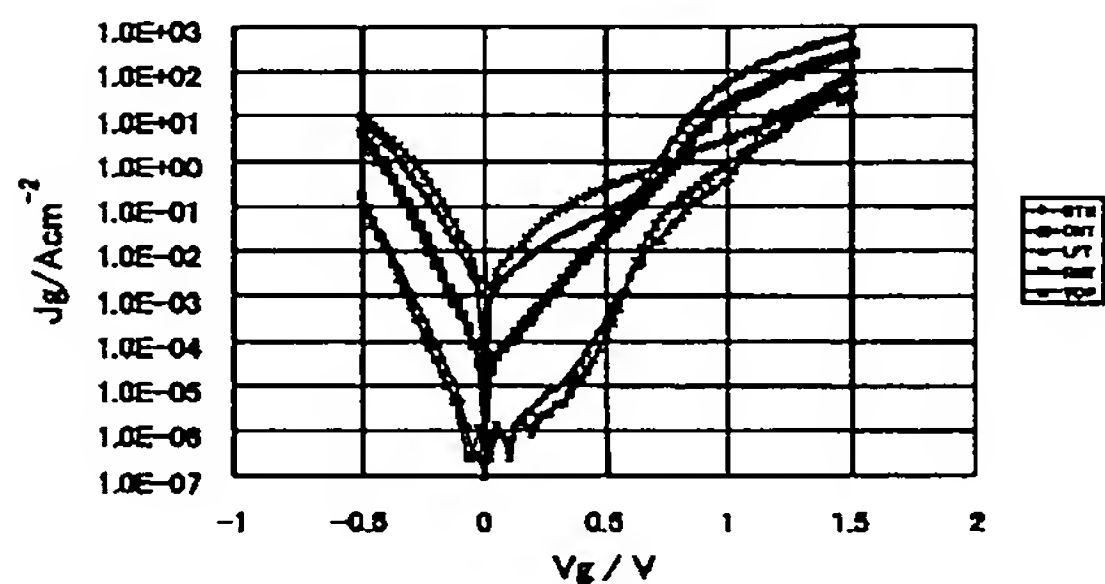
【図3】

(E)は、本発明の第1実施例による半導体装置の製造工程を示す図(その3)



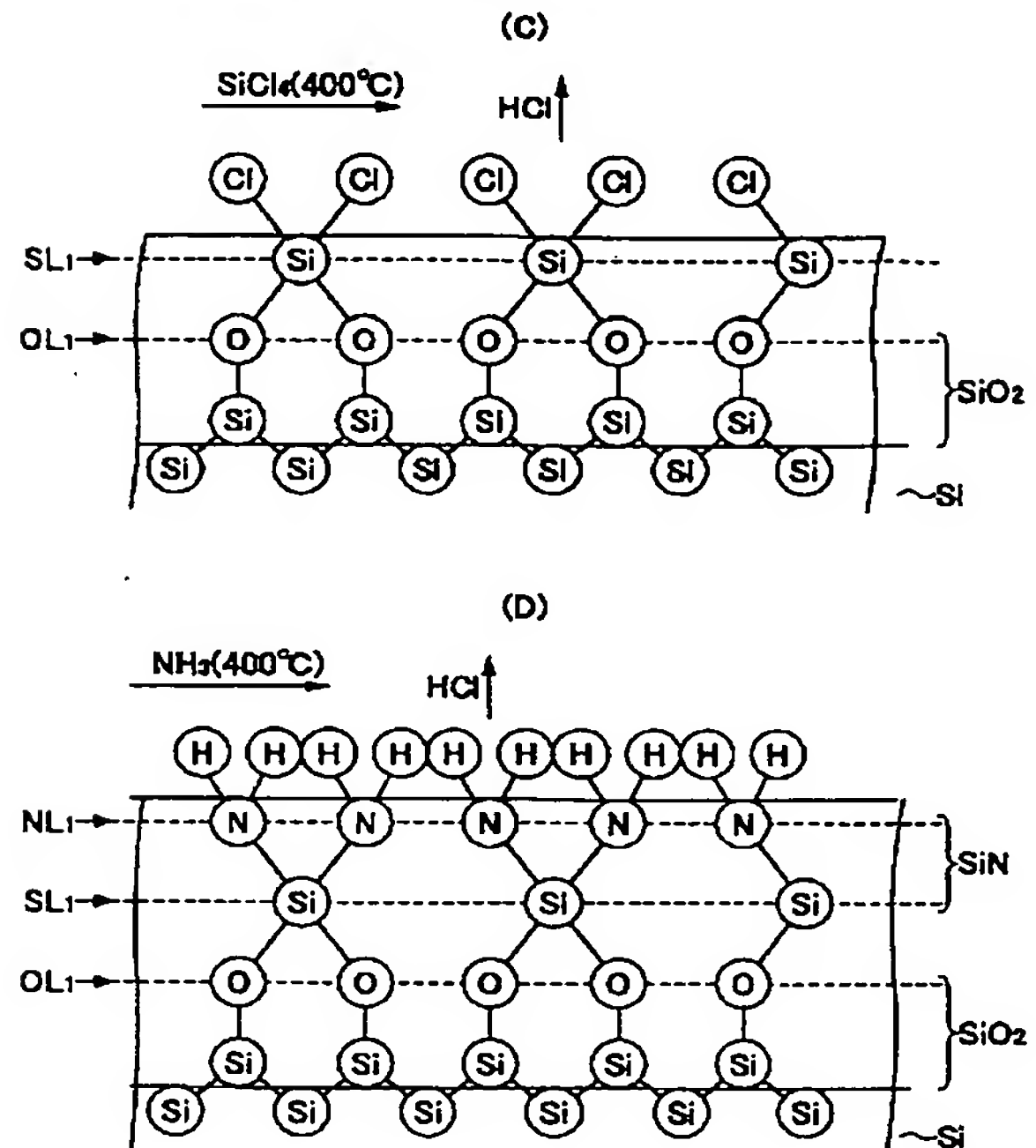
【図10】

図9の試料において、図8(J)の窒素原子層を形成しなかった場合のリーク電流特性を示す図



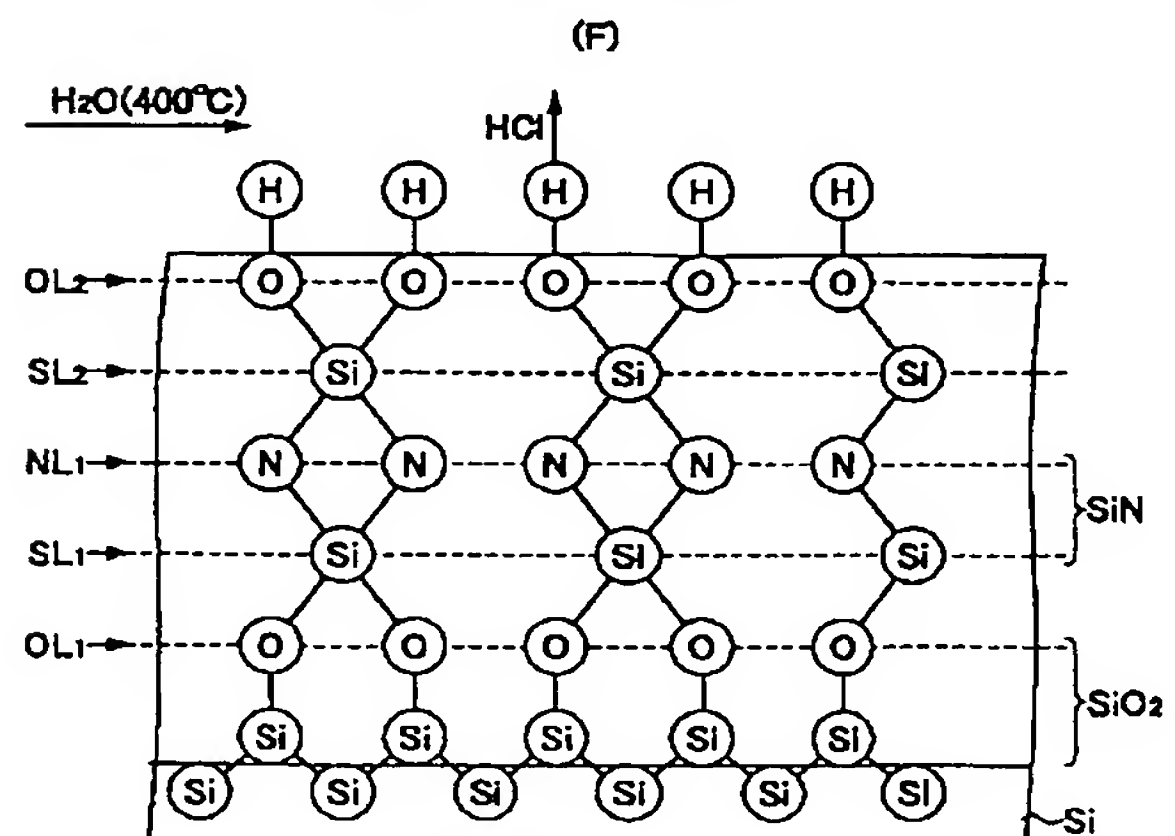
【図2】

(C), (D)は、本発明の第1実施例による半導体装置の製造工程を示す図(その2)



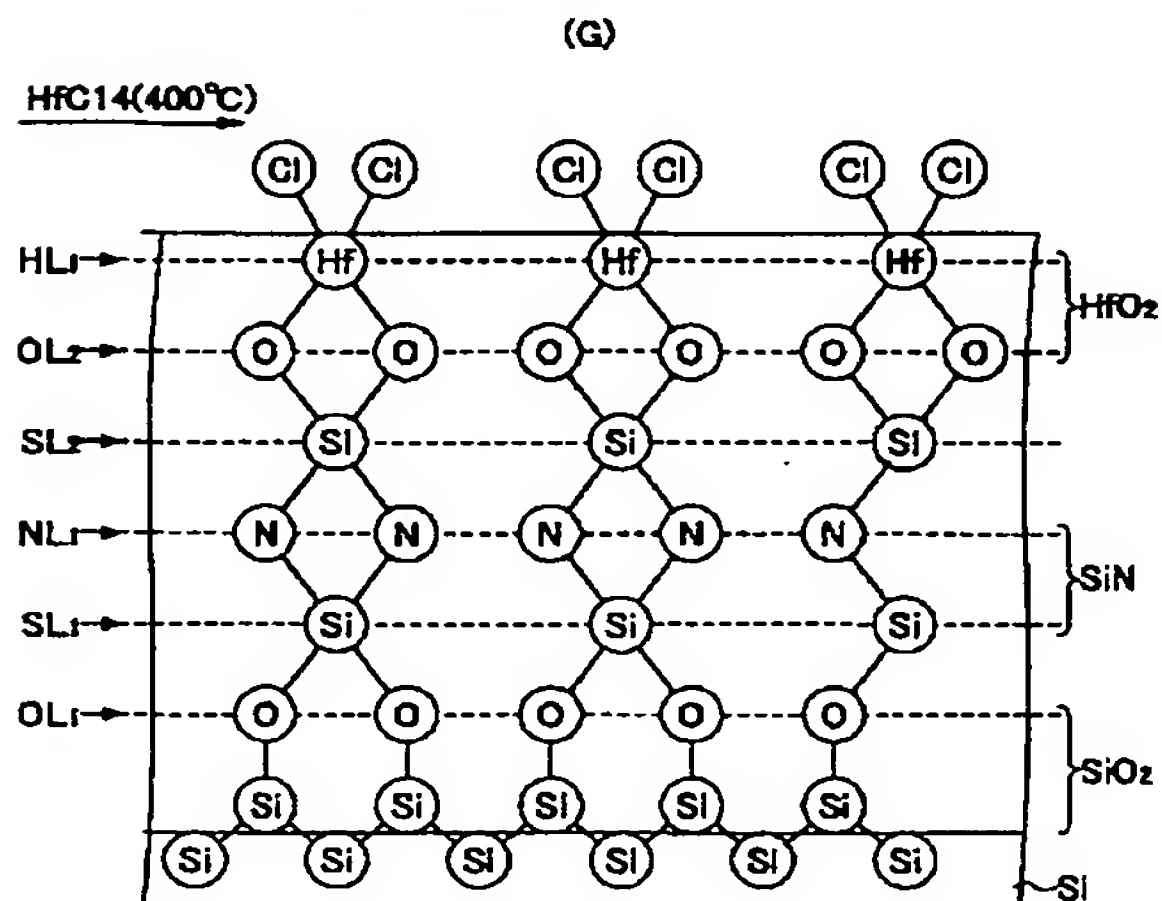
【図4】

(F)は、本発明の第1実施例による半導体装置の製造工程を示す図(その4)



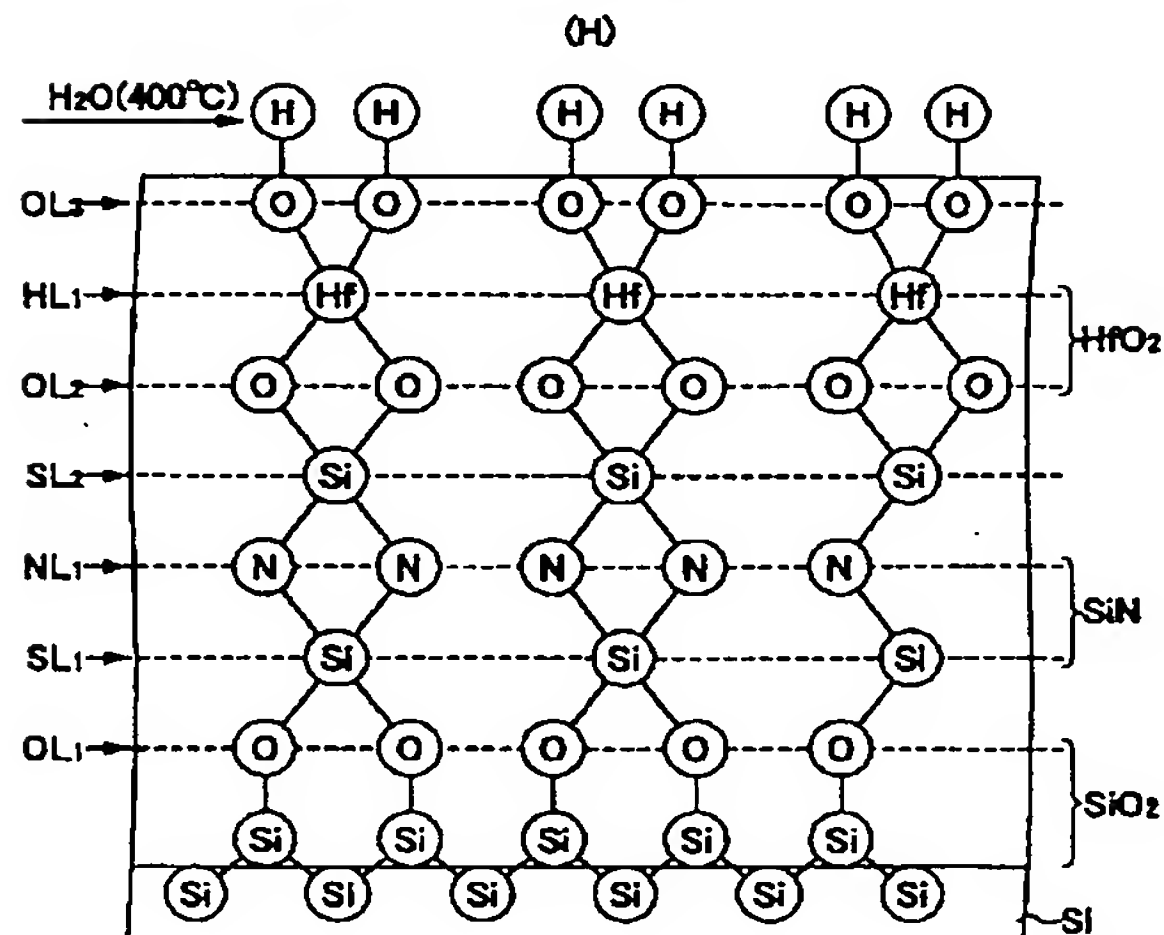
【図5】

(G)は、本発明の第1実施例による半導体装置の製造工程を示す図(その5)



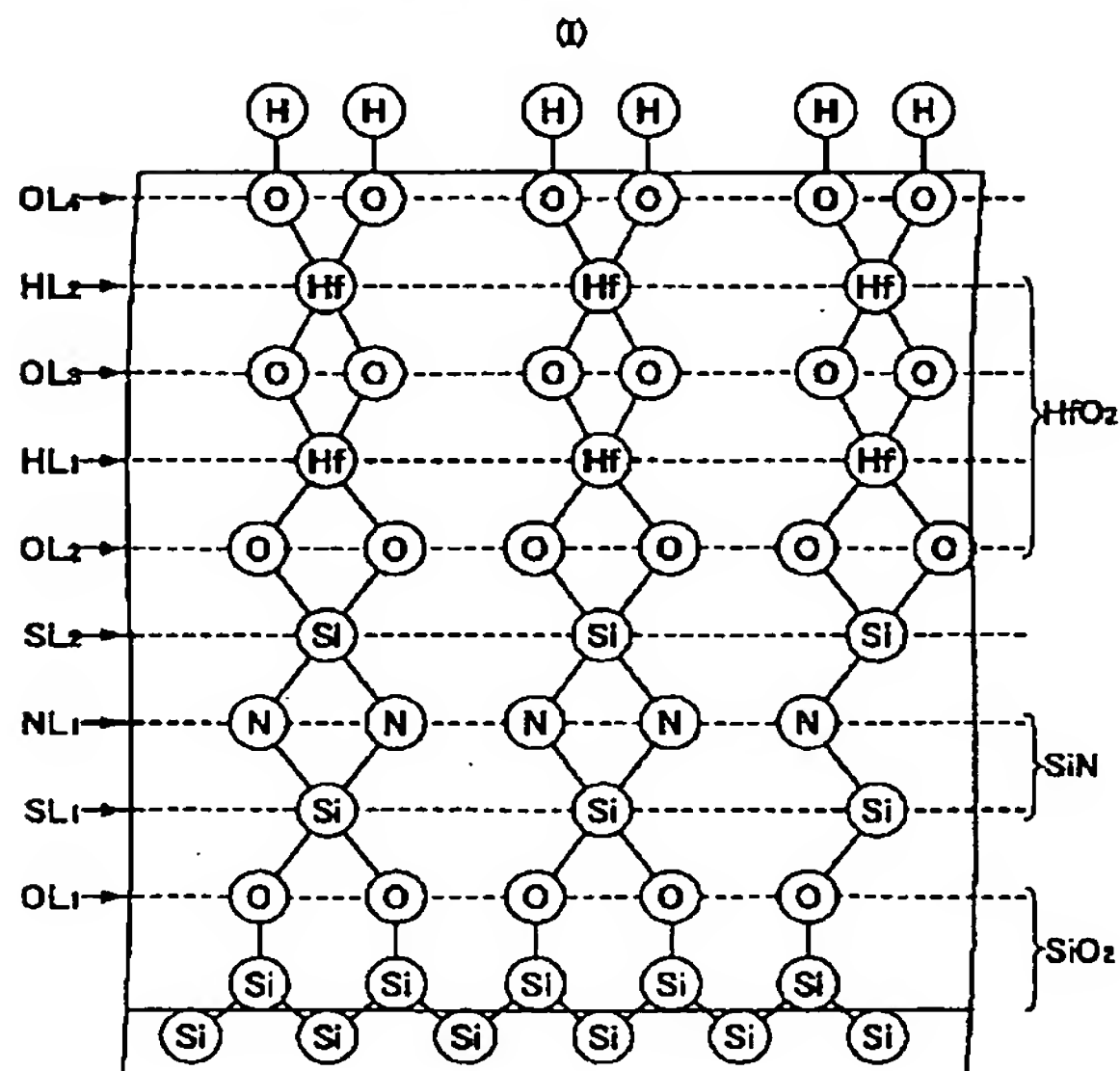
【図6】

(H)は、本発明の第1実施例による半導体装置の製造工程を示す図(その6)



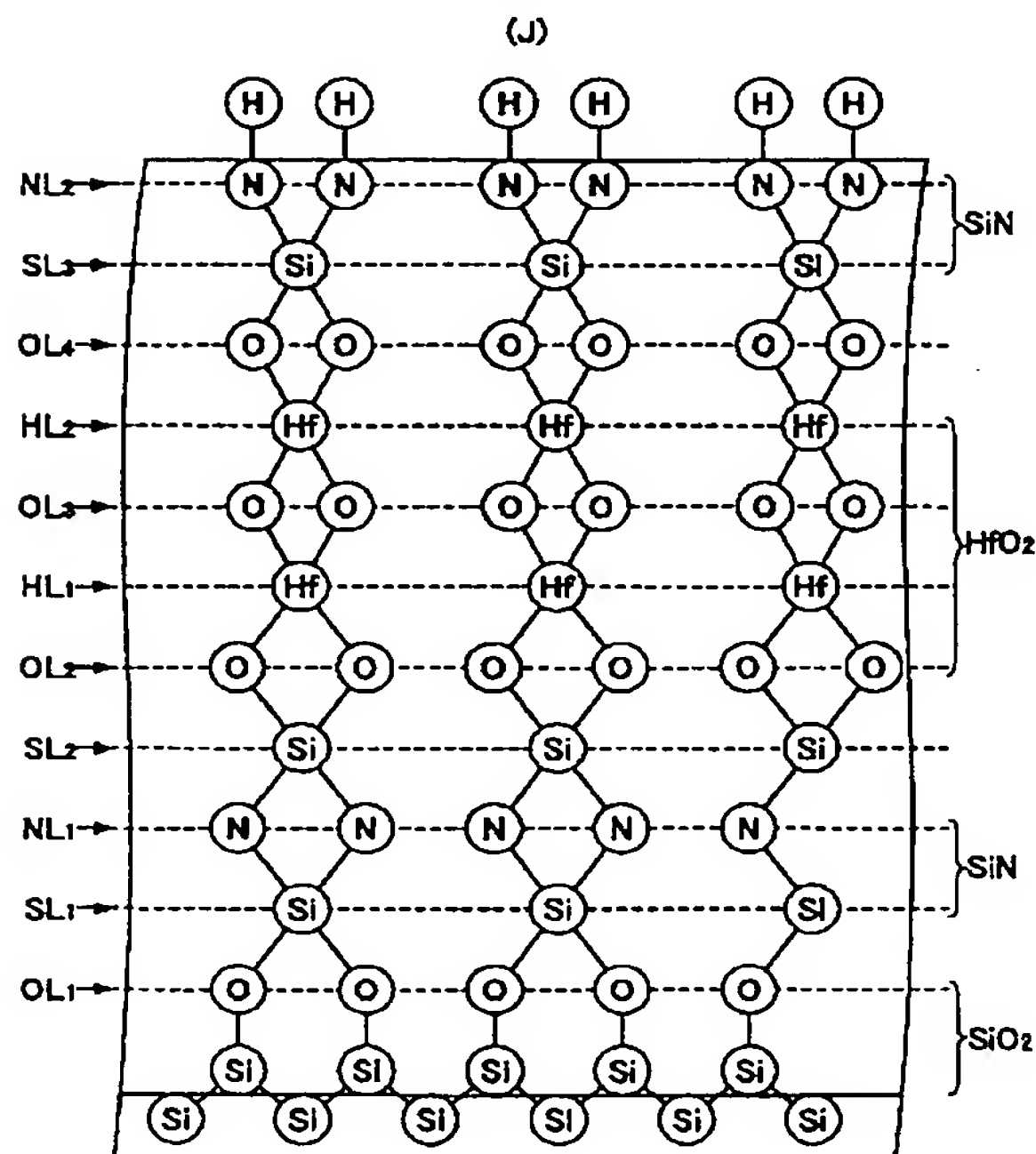
【図7】

(I)は、本発明の第1実施例による半導体装置の製造工程を示す図(その7)



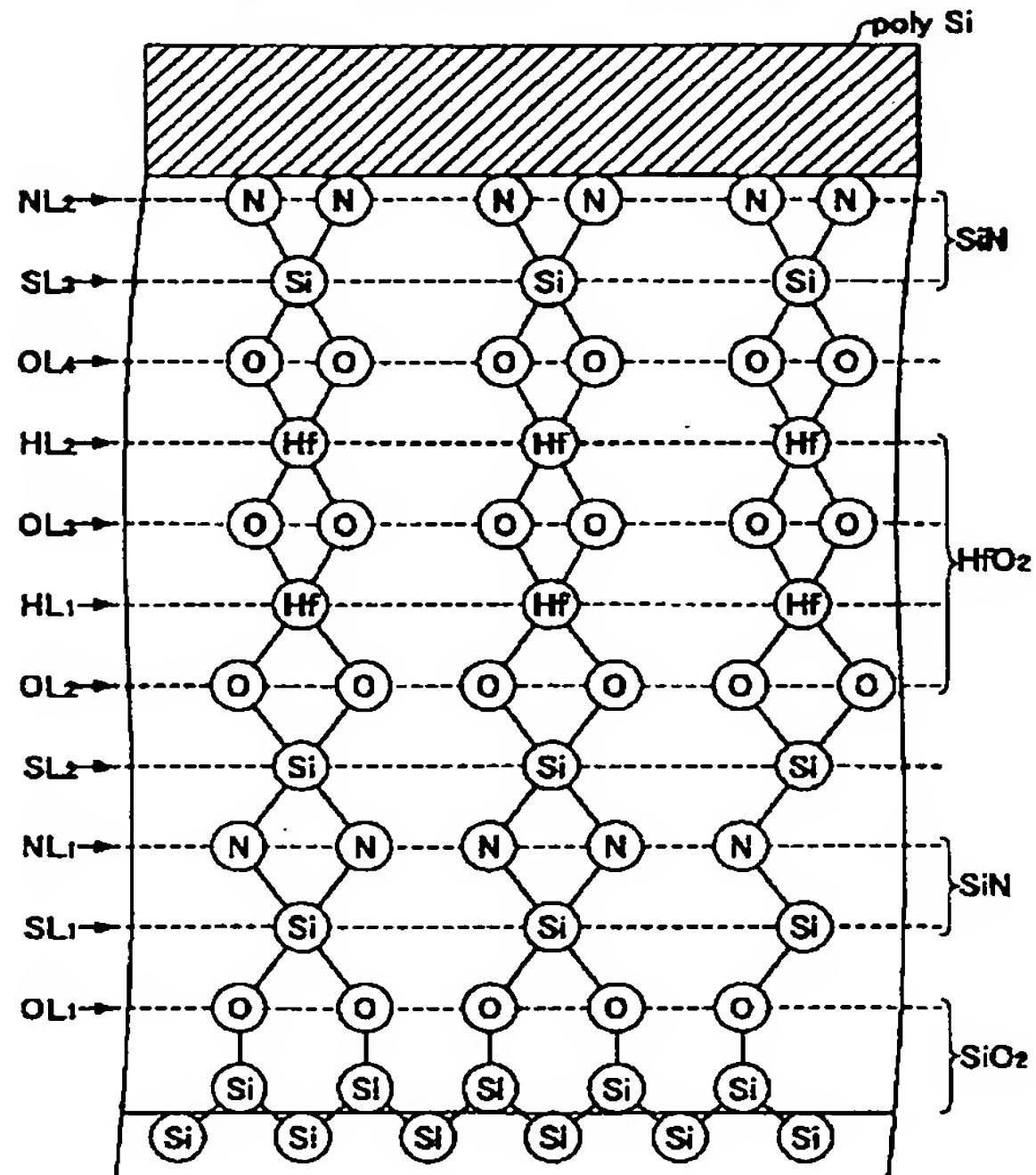
【図8】

(J)は、本発明の第1実施例による半導体装置の製造工程を示す図(その8)



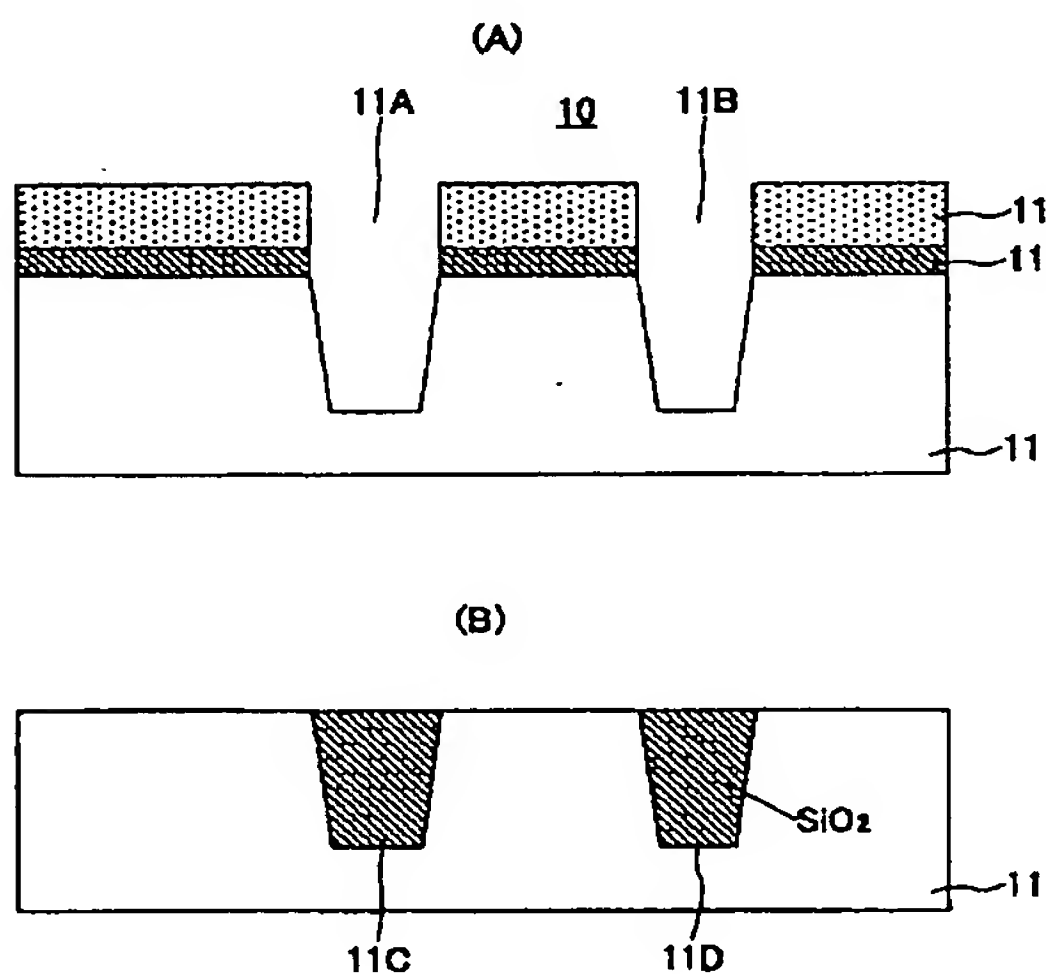
【図9】

図8(J)の構成をもとに、ゲートリーク電流の測定のために作製された試料の構成を示す図



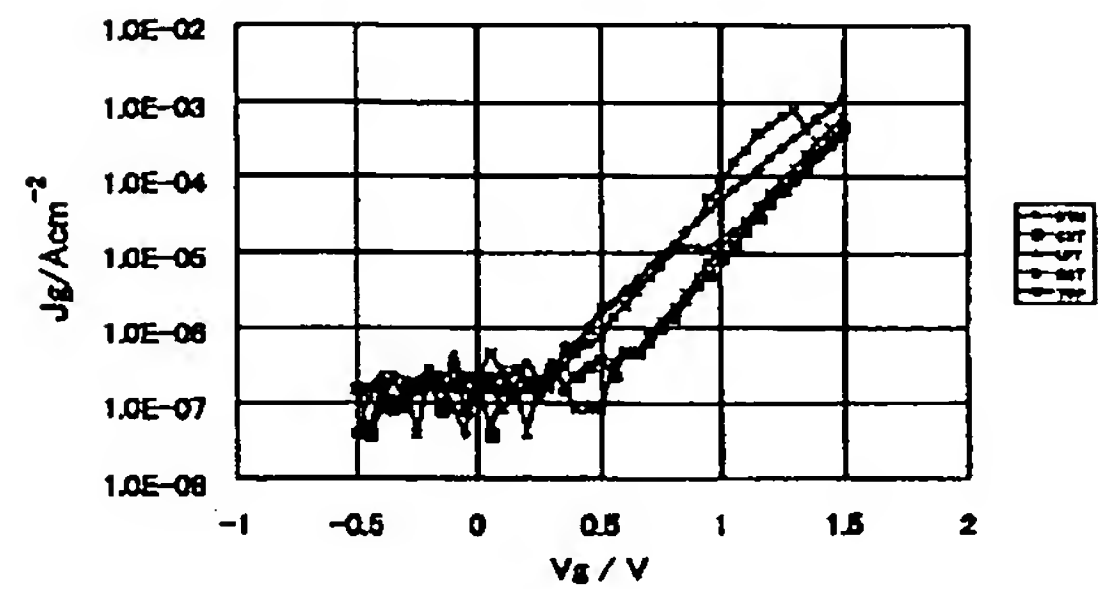
【図12】

(A)、(B)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その1)



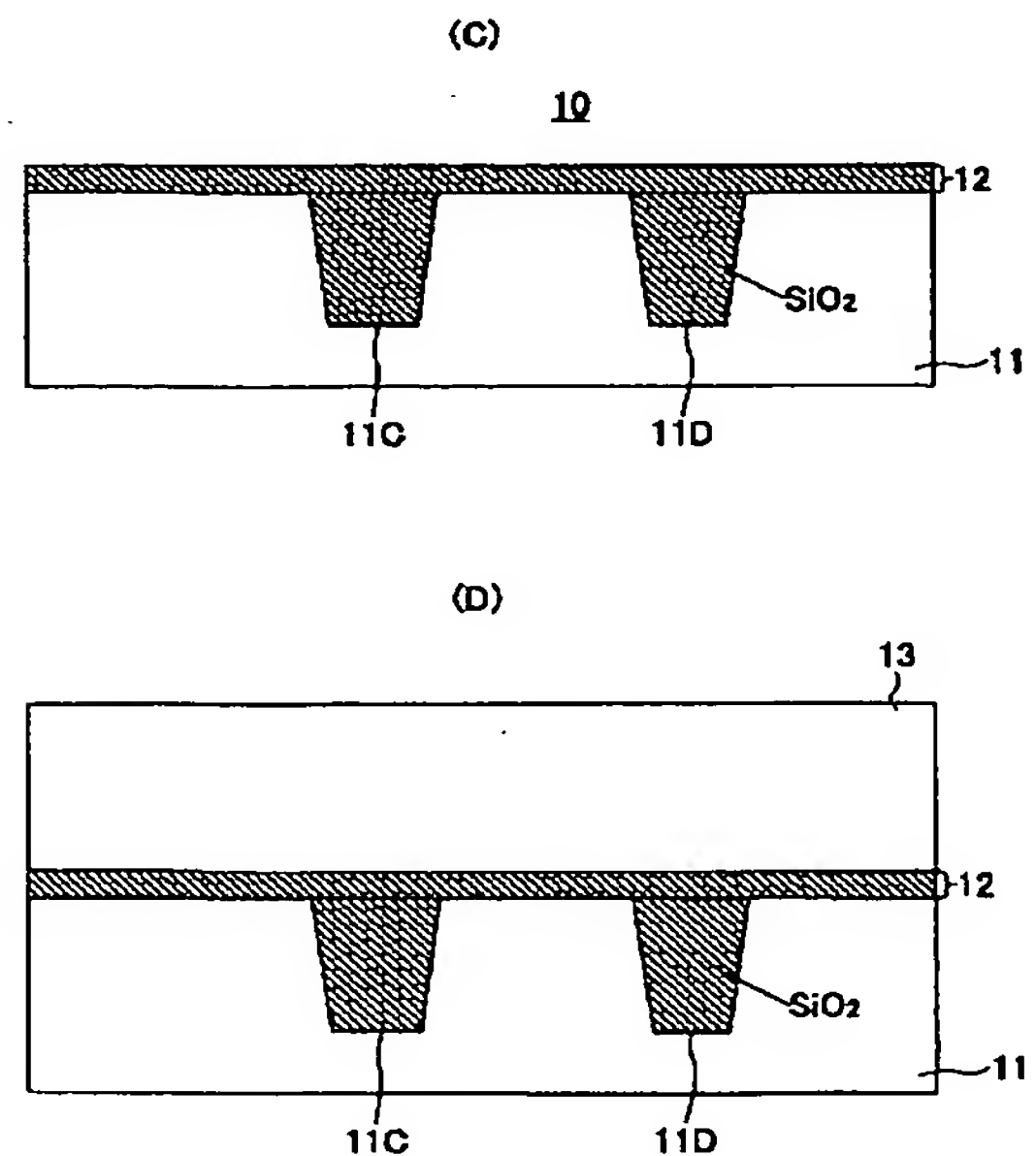
【図11】

図9の試料において、図8(J)の窒素原子層を形成した場合のリーク電流特性を示す図



【図13】

(C)、(D)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その2)

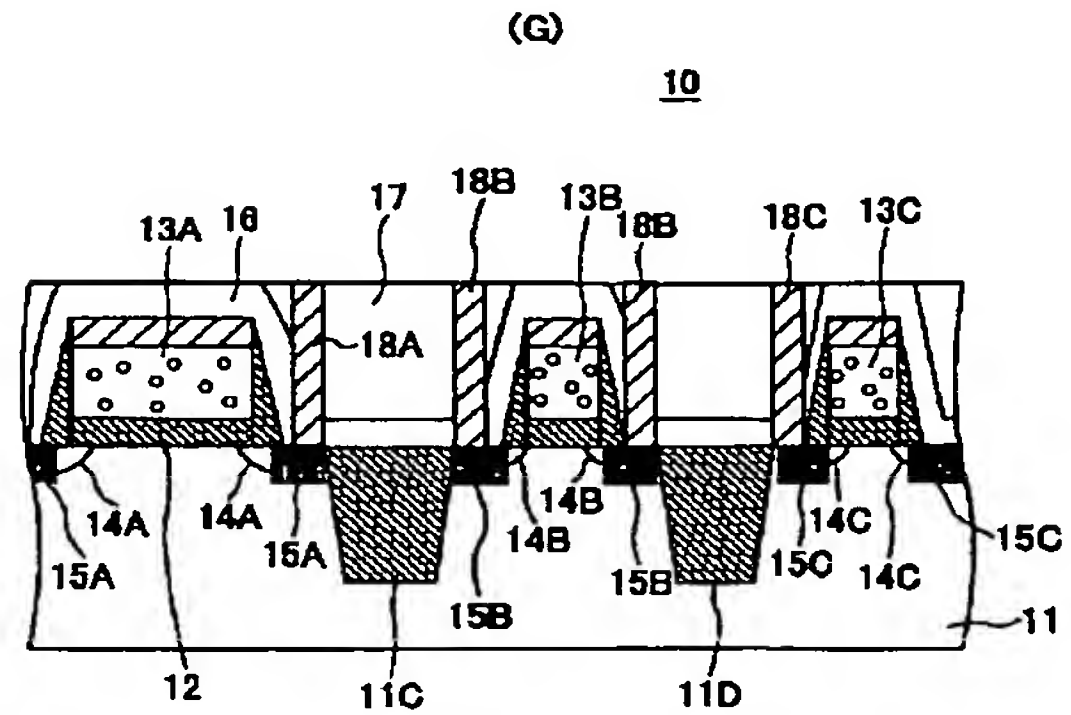
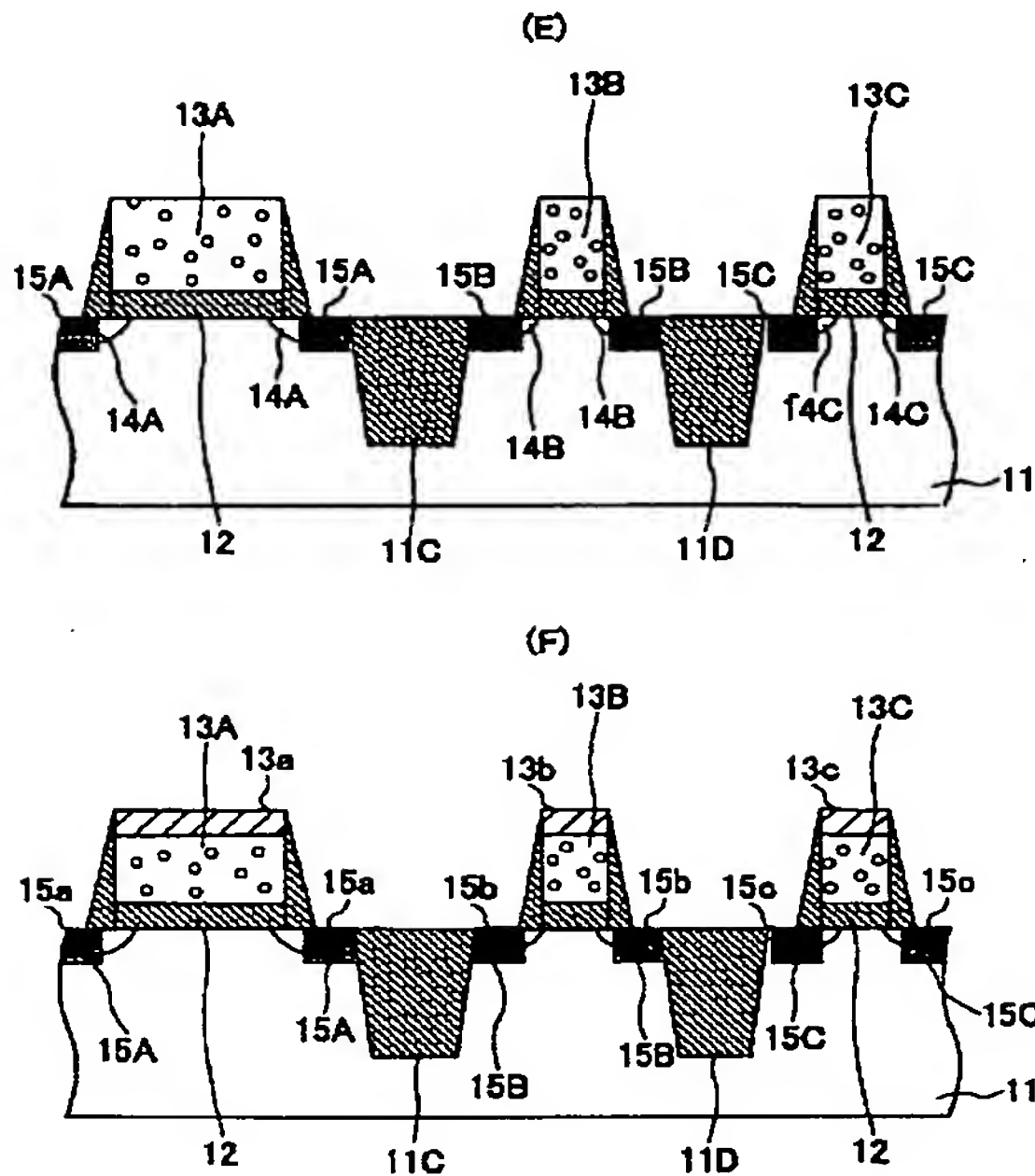


【図14】

【図15】

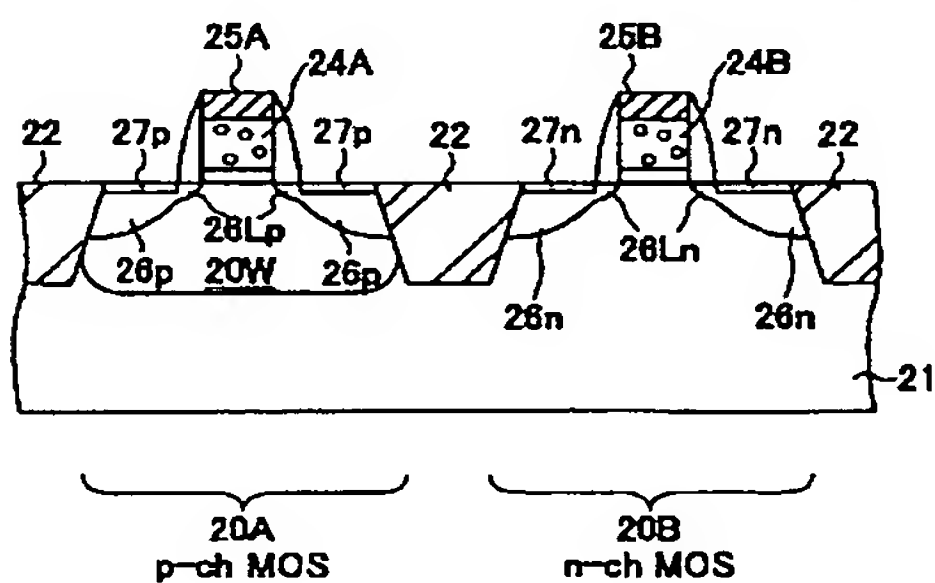
(E)、(F)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その3)

(G)は、本発明の第2実施例による半導体装置の製造工程を説明する図(その4)



【図16】

本発明の第3実施例によるCMOS半導体装置の構成を示す図



フロントページの続き

(72)発明者 杉田 義博
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 谷田 義明
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 射場 義久
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

F ターム(参考) 5F048 AA01 AA07 AC01 AC03 BB03
BB04 BB05 BB06 BB07 BB08
BB09 BB11 BB12 BB13 BC06
BF06 BF11 BF16 BG14 DA25
5F140 AA01 AA06 AA24 AA28 AA39
AB03 BA01 BA20 BD00 BD02
BD05 BD07 BD11 BD12 BD13
BD20 BE01 BE03 BE09 BE16
BE19 BF01 BF04 BF11 BF18
BG08 BG34 BG46 BH15 BJ08
BJ11 BJ27 BK02 BK13 BK25
BK34 CB04 CB08 CC01 CC08
CC12 CE07 CF04